

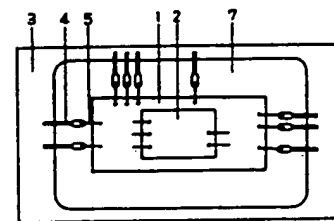
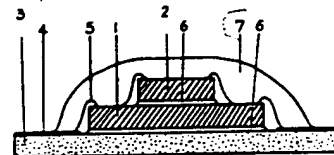
JP 362008534 A
JAN 1987

(54) MOUNTING STRUCTURE FOR SEMICONDUCTOR DEVICE

(11) 62-8534 (A) (43) 16.1.1987 (19) JP
(21) Appl. No. 60-147403 (22) 4.7.1985
(71) SEIKO EPSON CORP (72) MASAHIRO TSUKAHARA
(51) Int. Cl. H01L21/60

PURPOSE: To substantially decrease the mounting area, by mounting another semiconductor device on the upper face of the semiconductor device.

CONSTITUTION: A semiconductor 2 is mounted on the top face of a semiconductor 1 mounted on a board 3. An electrode of the semiconductor 1 is connected to a pattern 4 through wires. The electrode of the semiconductor 1 is connected to the electrode of the semiconductor 2 through wires 5. According to this construction, the area occupied by the mounting can be substantially decreased.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-8534

⑬ Int.Cl.⁴
H 01 L 21/60

識別記号 庁内整理番号
6732-5F

⑭ 公開 昭和62年(1987)1月16日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体実装構造

⑯ 特 願 昭60-147403

⑰ 出 願 昭60(1985)7月4日

⑱ 発 明 者 塚 原 正 宏 塩尻市大字塩尻町390番地 塩尻工業株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

半導体実装構造

2 特許請求の範囲

(1) 半導体上面に他の半導体を複数にダイボンドすることを特徴とする半導体実装。

(2) ボード上にダイボンドされた半導体の電極部と半導体上面にダイボンドされた半導体の電極部をワイヤーボンディング法によりワイヤー線により導通させることを特徴とする特許請求の範囲第1項記載の半導体実装構造。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体の実装に關し、電子機器に利用される可能性が大きい。

〔発明の概要〕

本発明は半導体実装分野において半導体上面に

他の半導体を実装することにより平面スペースの縮小化を図ったものである。

〔従来の技術〕

従来の半導体実装は第2図で示すようにボード3の上面に複数の半導体1、2をダイボンドし半導体間の導通をとる手段としてボード3上のパターンをかいしてワイヤーボンディング法により実施していた。

〔発明が解決しようとする問題点及び目的〕

しかし、前述の従来技術ではボード上に平面的に半導体をダイボンドするため実装面積が広く必要とする。そこで本発明はこのような問題点を解決するもので、その目的とするところは半導体上に半導体を実装することにより、実装面積の縮小化を実現する、実装構造を提供するものである。

〔問題点を解決するための手段〕

本発明の実装構造はボード上にダイボンドした半導体上に他の半導体をダイボンドをし、両半導体電極をワイヤーボンディング法により接続し導

通をえることを特徴とする。

〔実施例〕

第1図(a)は本発明の実施例における実装断面図であって1はボードに実装された半導体である。2は半導体1の上面に実装された半導体である。3はボード、4はボード上面に配線されたパターンである。5はワイヤーボンディング後の配線されたワイヤー線である。7は半導体を保護するための保護材である。第1工程としてボード3の上面に接着材6を塗布する。第2工程として半導体1をボード3にダイボンドする。第3工程として半導体1の上面の半導体2をダイボンドする位置と接着材6を塗布する。第4工程として半導体1の上面に半導体2をダイボンドする。接着材6を硬化後、第5工程としてワイヤーボンディング法により半導体1の電極部とパターン4をワイヤー線9により導通させる。第6工程として第5工程と同様に半導体1の電極部と半導体2の電極部をワイヤー線5により導通させる。第7工程として保護材7を半導体が見えないように塗布し硬化させる。

化させる。第1図(b)は本発明の実装平面図である。説明については第1図(a)の平面図と同様であるため説明は省く。

第2図(a)は従来の実装断面図であり、第2図(b)は実装平面図である。第1工程としてボード3に接着材6を塗布する。第2工程として半導体1及び半導体2をダイボンドする。第3工程としてワイヤーボンディング法によりワイヤー線5により半導体1、半導体2とパターン4を導通させる。第4工程として保護材7を半導体1、半導体2が見えないように塗布し硬化させる。

〔発明の効果〕

以上述べたように発明によれば半導体上面に他の半導体を実装することにより実装面積を大巾に縮小することが出来る。

4. 図面の簡単な説明

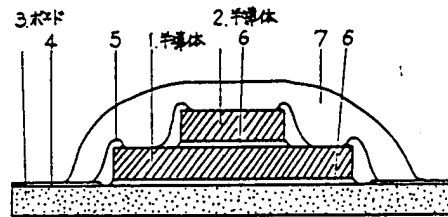
第1図(a)は本発明の実装構造を示す断面図である。第1図(b)は本発明の平面図である。第2図(a)は従来の実装構造を示す断面図であ

る。第2図(b)は従来の平面図である。

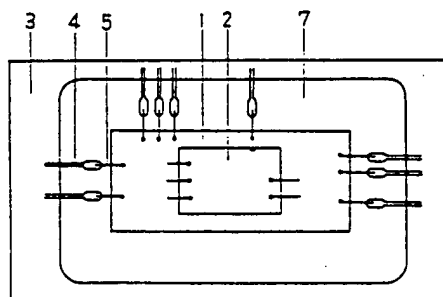
- 1 …… 半導体
- 2 …… 半導体
- 3 …… ボード
- 4 …… パターン
- 5 …… ワイヤー線
- 6 …… 接着剤
- 7 …… 保護材

以 上

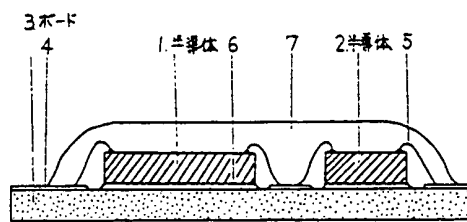
出願人 株式会社 誠訪精工舎
代理人 弁理士 村上 秀



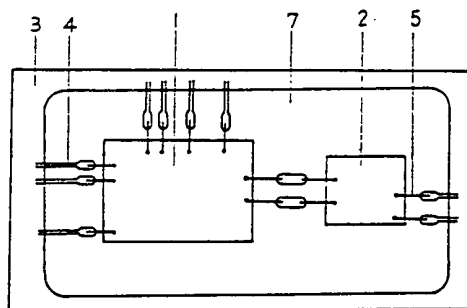
実装断面図
第1図(a)



実装平面図
第1図(b)



従来の実装断面図
第2図(a)



従来の実装平面図
第2図(b)